

BEST AVAILABLE COPY
EUROPEAN PATENT OFFICE

Patent Abstracts of J

PUBLICATION NUMBER : 11045862
 PUBLICATION DATE : 16-02-99

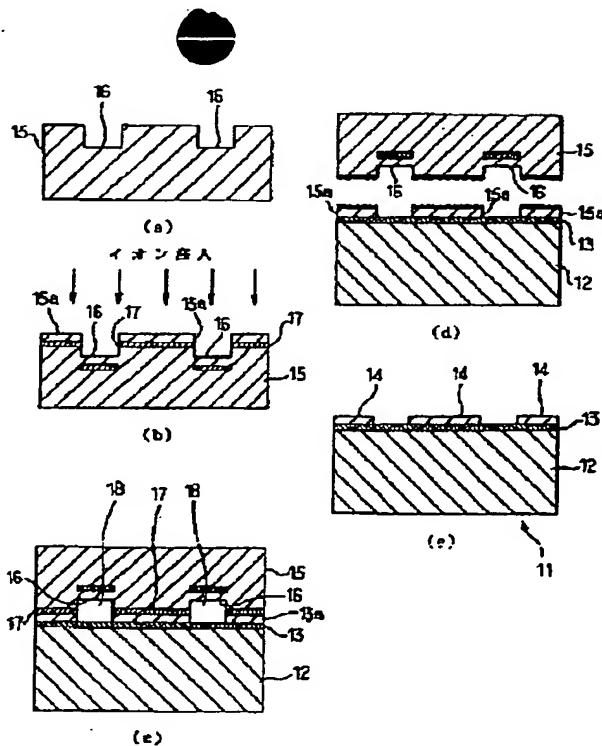
APPLICATION DATE : 24-07-97
 APPLICATION NUMBER : 09198501

APPLICANT : DENSO CORP;

INVENTOR : OSHIMA HISAZUMI;

INT.CL. : H01L 21/265 H01L 27/12

TITLE : MANUFACTURE OF
 SEMICONDUCTOR SUBSTRATE



ABSTRACT : PROBLEM TO BE SOLVED: To enable separation, while ion implantation in forming an ion implantation layer for separation is carried out with a low dose.

SOLUTION: On a surface portion of a bonding wafer 15 made of a single-crystal silicon substrate, grooves 16 are formed which extend longitudinally and laterally to partition the wafer into regions, each corresponding to one chip, and which have a depth greater than an ion implantation layer 17 and are not open at peripheral edge portions of the bonding wafer 15. Hydrogen gas is ionized and implanted with respect to the bonding wafer 15, thus forming the ion implantation layer 17 for separation at a predetermined depth. Then, the bonding wafer 15 is bonded to a base substrate 12, having an insulating film 13 formed thereon in advance. At this point, sealed hollow portions 18 are formed by the grooves 16. After that, a separation step of separating the bonding wafer 15 on the ion implantation layer 17 is carried out by heat treatment. At this point, air within the hollow portions 18 expands thermally to promote the separation.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-45862

(43)公開日 平成11年(1999)2月16日

(51)Int.Cl.*

H 01 L 21/265
27/12

識別記号

F I

H 01 L 21/265
27/12

Q
B
E

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号 特願平9-198501

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(22)出願日 平成9年(1997)7月24日

(72)発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

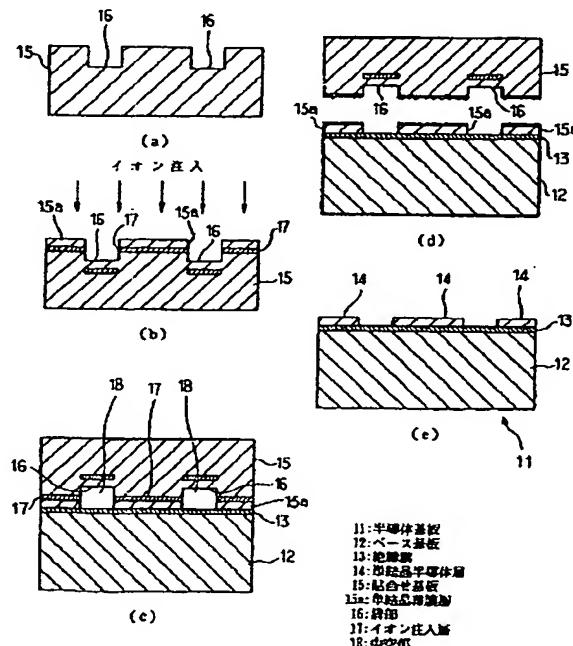
(74)代理人 弁理士 佐藤 強

(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【課題】 剥離用のイオン注入層を形成する際のイオン注入を低ドーズ量で済ませながらも剥離を可能とする。

【解決手段】 単結晶シリコン基板からなる貼合せ基板15の表面部に、1チップに対応した領域毎に区画するような形態で縦横に延び、イオン注入層17よりも深い深さ寸法で且つ貼合せ基板15の周縁端部にて開放しない溝部16を形成する。この貼合せ基板15に対して水素ガスをイオン化して注入し、所定深さに剥離用のイオン注入層17を形成する。次に、予め絶縁膜13が形成されたベース基板12に、貼合せ基板15を貼合せする。このとき、溝部16により密閉状態の中空部18が形成される。この後、熱処理により、貼合せ基板15をイオン注入層17にて切り離す剥離工程が実行され、このとき、中空部18内の空気が熱膨脹し剥離を助長する力となる。



【特許請求の範囲】

【請求項1】ベース基板(12)上に、絶縁膜(13)を介して素子形成用の単結晶半導体層(14)を設けてなる半導体基板(11)を製造するための方法であつて、

単結晶半導体からなる貼合せ基板(15)の表面部の所定深さにイオン注入を行うことにより、該貼合せ基板(15)の表層部に単結晶半導体層(14)となるべき単結晶薄膜層(15a)を確保した状態に剥離用のイオン注入層(17)を形成するイオン注入層形成工程(P2)と、

前記ベース基板(12)に対し、前記単結晶薄膜層(15a)が形成された貼合せ基板(15)をその単結晶薄膜層(15a)の表面にて絶縁膜(13)を介して貼合わせる貼合せ工程(P3)と、

前記ベース基板(12)上に貼合わされた貼合せ基板(15)を熱処理により前記イオン注入層(17)にて切離す剥離工程(P4)とを含むと共に、

前記ベース基板(12)と貼合せ基板(15)との貼合せ状態において、それらベース基板(12)と貼合せ基板(15)との間に、密閉状態の中空部(18)が前記単結晶薄膜層(15a)及びイオン注入層(17)を部分的に除去した形態に形成されていることを特徴とする半導体基板の製造方法。

【請求項2】前記イオン注入層形成工程(P2)の前に、前記貼合せ基板(15)の表面部に、前記中空部(18)となる溝部(16)を、前記イオン注入の深さより深く且つ貼合せ基板(15)の周縁端部にて開放しないように形成する溝部形成工程(P1)が実行されることを特徴とする請求項1記載の半導体基板の製造方法。

【請求項3】前記イオン注入層形成工程(P2)の後に、前記貼合せ基板(15)の表面部に、前記中空部(18)となる溝部(16)を、前記イオン注入の深さより深く且つ貼合せ基板(15)の周縁端部にて開放しないように形成する溝部形成工程が実行されることを特徴とする請求項1記載の半導体基板の製造方法。

【請求項4】前記溝部(16)は、前記ベース基板(12)上に設けられる素子形成用の単結晶半導体層(14)を1素子の単位、ウェルの単位、回路の単位あるいは1チップ毎に区画する形態に形成されることを特徴とする請求項2又は3記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベース基板上に素子形成用の単結晶半導体層をそのベース基板との絶縁状態に設けてなる半導体基板の製造方法に関する。

【0002】

【発明が解決しようとする課題】この種の半導体基板として、例えばシリコン基板上に絶縁膜を介してシリコン

単結晶層を設けて構成されるSOI(Silicon On Insulator)基板がある。このSOI基板を製造するための方法として、例えば特開平5-211128号公報に示されるような、貼合せを用いた製造方法が提案されている。

【0003】この方法では、図5に示すように、3つの段階(工程)を経てSOI基板が製造される。即ち、第1段階では、図5(a)に示すように、シリコン単結晶基板からなる貼合せ基板1に対し、例えば水素ガスをイオン化して所定の注入エネルギーで加速して注入する工程が行われ、これにて貼合せ基板1の所定深さ位置にイオン注入層2が形成される。この場合、貼合せ基板1のうちイオン注入層2の上部の層が、最終的に得たいシリコン単結晶薄膜層1aとなる。

【0004】次の第2段階では、図5(b)に示すように、例えばシリコン単結晶基板からなるベース基板3の上面に、上記貼合せ基板1を、図5(a)とは上下反転した状態で貼合わせる工程が行われる。このとき、前記ベース基板3の表面には予め酸化膜からなる絶縁膜4が形成されている。そして、第3段階では、図5(c)に示すように、例えば400~600°Cの熱処理によって、前記貼合せ基板1からシリコン単結晶薄膜層1aをイオン注入層2に沿って剥離させる工程が行われる。

【0005】これにて、ベース基板3上に絶縁膜4を介してシリコン単結晶薄膜層1aが貼合わされた形態となり、その後、図5(d)に示すように、剥離面が研磨されることにより、品質の高いシリコン単結晶薄膜層1aを有するSOI基板らが得られるのである。尚、前記貼合せ基板1は、厚みを減少させながら再使用することが可能となる。

【0006】ところで、上記剥離工程において前記イオン注入層2での剥離(割れ)を確実に行うためには、イオン注入の工程において、水素イオンのドーズ量を、 $1 \times 10^{16} \text{ atoms/cm}^2$ 程度とすることが必要であった。このため、上記した従来の方法では、イオン注入の工程に比較的長い時間を要するものとなっていた。

【0007】本発明は上記事情に鑑みてなされたもので、その目的は、イオン注入層を形成した貼合せ基板をベース基板上に貼合せた後そのイオン注入層にて切離すようにしたものにあって、イオン注入を低トータル量で済ませながらも剥離を可能とし、ひいては、イオン注入層形成の工程に要する時間の短縮化を図ることができる半導体基板の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体基板の製造方法は、ベース基板上に絶縁膜を介して素子形成用の単結晶半導体層を設けてなる半導体基板を製造するための方法にあって、単結晶半導体からなる貼合せ基板の表面部の所定深さにイオン注入を行うことにより、該貼合せ基板の表層部に単結晶半導体層となるべき単結晶薄膜

層を確保した状態に剥離用のイオン注入層を形成するイオン注入層形成工程と、前記ベース基板に対し単結晶薄膜層が形成された貼合せ基板をその単結晶薄膜層の表面にて絶縁膜を介して貼合わせる貼合せ工程と、前記ベース基板上に貼合せされた貼合せ基板を熱処理によりイオン注入層にて切離す剥離工程とを含むと共に、前記ベース基板と貼合せ基板との貼合せ状態において、それらベース基板と貼合せ基板との間に、密閉状態の中空部が前記単結晶薄膜層及びイオン注入層を部分的に除去した形態に形成されているところに特徴を有する（請求項1の発明）。

【0009】これによれば、イオン注入層形成工程において、貼合せ基板の表層部にイオン注入層により仕切られた形態の単結晶薄膜層が形成され、貼合せ工程において、ベース基板に対して貼合せ基板がその単結晶薄膜層の表面にて貼合せられる。この貼合せ状態では、ベース基板と貼合せ基板との間に、密閉状態の中空部が単結晶薄膜層及びイオン注入層を部分的に除去した形態つまり、貼合せ基板のうちのイオン注入層よりも基部側のバルク部分の一部を露呈させた状態に形成されている。そして、この状態から、熱処理により貼合せ基板をイオン注入層にて切離す剥離工程が行われ、ベース基板上に、絶縁膜を介して素子形成用の単結晶半導体層を有する半導体基板が得られる。

【0010】このとき、ベース基板と貼合せ基板との間に密閉状態の中空部が形成されているため、上記剥離工程における熱処理により、中空部内の気体が熱膨張し、その圧力が中空部を押し広げる、言換えるならば、貼合せ基板のうちのイオン注入層よりも基部側をベース基板から引剥がす方向の力となって作用するようになる。このため、いわば内部から剥離を助長する力が得られることになり、その分、イオン注入層における欠陥状態（イオンの注入量）が十分でなくとも、イオン注入層での剥離が容易になれるようになる。このことは、イオン注入層の注入イオンのドーズ量を少なくしても剥離が容易に行われることを意味しているのである。

【0011】従って、本発明の請求項1の半導体基板の製造方法によれば、イオン注入層を形成した貼合せ基板をベース基板上に貼合せた後そのイオン注入層にて切離すようにしたものにあって、イオン注入を低ドーズ量で済ませながらも剥離を可能とし、ひいては、イオン注入層形成の工程に要する時間の短縮化を図ることができるという優れた実用的效果を奏するものである。

【0012】この場合、密閉状態の中空部を形成する方法として、貼合せ基板の表面部に、イオン注入層の深さより深く且つ貼合せ基板の周縁端部に開放しない溝部を形成した上で、その溝部以外の部分でベース基板に対する貼合せを行えば良い。このとき、その溝部の形成は、イオン注入層形成工程の前に行なっても良く（請求項2の発明）、イオン注入層形成工程の後に行なっても良い（請

求項3の発明）。これにより、中空部を簡単に形成することができるようになる。

【0013】さらにこのとき、前記溝部を、ベース基板上に設けられる素子形成用の単結晶半導体層を1素子単位、ウェル単位、回路単位あるいは1チップ毎に区画する形態に形成することができる（請求項4の発明）。これによれば、ベース基板上の素子形成用の単結晶半導体層が、予め1素子単位、ウェル単位、回路単位あるいは1チップ毎に分離された形態の半導体基板が得られるようになる。

【0014】

【発明の実施の形態】以下、本発明を、シリコン基板上に絶縁膜を介してシリコン単結晶層を設けたSOI（Silicon On Insulator）基板の製造に適用した第1の実施例（請求項1、2、4に対応）について、図1ないし図3を参照しながら説明する。

【0015】まず、本実施例に係る製造方法により得られる半導体基板（SOI基板）11は、図1（e）に示すように、例えば単結晶シリコン基板（シリコンウエハ）からなるベース基板12上に、シリコン酸化膜からなる絶縁膜13を介して、シリコン単結晶からなる素子形成用の単結晶半導体層14を有して構成される。この場合、単結晶半導体層14は、ベース基板12の全面に設けられるのではなく、最終的に1チップ（あるいは1素子単位、ウェル単位、回路単位）となる領域毎に間隔をもって分離された形態に設けられる。

【0016】さて、この半導体基板11の製造方法について、以下順を追って述べる。図3は、本実施例に係る半導体基板11の製造の工程を概略的に示している。即ち、まず、工程P1では、貼合せ基板15（図1、図2参照）に対する溝部形成工程が実行される。この貼合せ基板15は、高品質な単結晶シリコン基板（シリコンウエハ）からなり、初期の状態で厚さ寸法が例えば600μm程度とされている。この工程P1では、図1（a）に示すように、貼合せ基板15の表面部に、例えばフォトリソグラフィ技術によるレジストパターンの形成、ドライエッチング等の周知の処理により、溝部16が形成される。

【0017】図2に誇大的に一部のみを示すように、この溝部16（図2では便宜上斜線を付して示す）は、最終的に得られる単結晶半導体層14に対応して、貼合せ基板15の表面部を、1チップ（あるいは1素子単位、ウェル単位、回路単位）に対応した領域毎に区画するような形態で縦横に延びて形成されている。このとき、溝部16は、後述するイオン注入層17よりも深い深さ寸法（例えば3μm程度）に形成され、また、この溝部16は、貼合せ基板15の周縁端部にて開放しないように形成されている。

【0018】次の工程P2では、前記貼合せ基板15に対するイオン注入層形成工程が実行される。この工程P

2では、図1 (b) に示すように、貼合せ基板15に対し、その表面部に例えば水素ガスをイオン化して所定の注入エネルギーで加速して注入することが行われ、これにて、貼合せ基板15の所定深さ位置（例えば表面から1 μmの位置）に、注入水素イオン濃度の高い領域である剥離用のイオン注入層17が形成される。

【0019】このとき、イオン注入層17は、前記溝部16の深さよりも浅い位置に形成され、貼合せ基板15のうち溝部16部分を除く表層部には、シリコン単結晶からなる薄い単結晶薄膜層15a（後に単結晶半導体層14となる）が、そのイオン注入層17によって仕切られた形態に形成されることになる。また、溝部16部分については、溝部16の底部から所定深さ位置にイオン注入層が存在することになる。

【0020】尚、後述するように、この際の水素イオンのドーズ量は、 1×10^{15} atoms/cm²程度とされている。また、図示はしていないが、このイオン注入層形成工程は、貼合せ基板15の表面にイオン注入時の汚染を極力防止するための酸化膜が形成された状態で実行され、その後、例えばHF水溶液による化学的エッティング等により、その酸化膜が除去されるようになっている。

【0021】工程P3では、上記ベース基板12に対して、貼合せ基板15を貼合わせる貼合せ工程が実行される。この工程P3では、図1 (c) に示すように、ベース基板12の表面には、予め絶縁膜（酸化膜）13が熱酸化あるいはPVD、CVD等の堆積法により形成されている。このベース基板12に対し、貼合せ基板15が図1 (b) とは上下反転された状態つまり単結晶薄膜層15aの表面にて接着される。

【0022】周知のように、この貼合せに際しては、前記ベース基板12及び貼合せ基板15の表面に対し、例えば硫酸と過酸化水素水の4:1の混合溶液による洗浄及び純水洗浄を順次行った後、スピンドル乾燥で吸着水分量を制御して貼合わせ面を密着させる。これにより、ベース基板12及び貼合せ基板15は、貼合わせ面に形成されたシラノール基、及び表面に吸着した水分子の水素結合によって接着されるのである。

【0023】これにて、図1 (c) に示すように、ベース基板12上に絶縁膜13を介して、単結晶薄膜層15a、イオン注入層17及び貼合せ基板15の基部（パルク部分）が積層された形態に一体化される。そして、貼合せ基板15は溝部16を有するので、前記溝部16とベース基板12の表面との間には、前記単結晶薄膜層15a及びイオン注入層17を部分的に除去した形態に中空部18が形成されるのである。このとき、前記溝部16は貼合せ基板15の端部にて閉じているので、形成される中空部18は密閉状態とされるのである。

【0024】次の工程P4では、ベース基板12に貼合わせられた貼合せ基板15を前記イオン注入層17にて切離す剥離工程が実行される、この工程P4は、窒素雰囲

気あるいは酸素雰囲気での例えれば400~600°Cの熱処理により、図1 (d) に示すように、貼合せ基板15内部のイオン注入層17に欠陥が集中してこのイオン注入層17にて割れが発生することに基づいて行われる。

【0025】この熱処理により、ベース基板12と貼合せ基板15との貼合わせ面にて脱水縮合反応が生じ、より強固に接着されるようになる。そして、これと共に、ベース基板12と貼合せ基板15との間に密閉状態に形成された中空部18内の気体（空気）が熱膨脹し、その圧力が中空部18を押し広げる、言換えるならば、貼合せ基板15の溝部16の底部を図1 (c) で上方に押圧して貼合せ基板15のうちのイオン注入層17よりも基部側をベース基板12から引剥がす方向の力となって作用するようになる。

【0026】このため、いわば内部から剥離を助長する力が得られることになり、その分、イオン注入層16におけるイオン注入量が十分でなくとも、イオン注入層17での剥離が容易になれるようになる。これにて、貼合せ基板15のイオン注入層17上に設けられていた単結晶薄膜層15aが剥離されてベース基板12の表面側にいわば転写された如き形態となり、ベース基板12上に絶縁膜13を介して、単結晶半導体層14（単結晶薄膜層15a）を有した半導体基板11が得られるのである。

【0027】引き続き、工程P5では、得られた半導体基板11に対して、例えば1000°C~1200°Cの温度にて高温アーナー処理が実行される。これにて、剥離面の結合が強化されると共に、欠陥回復等が図られるのである。さらに、工程P6にて、図1 (e) に示すように、得られた半導体基板11及び単結晶薄膜層15aが剥離された貼合せ基板15の表面（剥離面）に対する表面研磨が実行される。これにて、剥離面の微細な凹凸が除去されるのである。

【0028】尚、この図1 (e) に示す状態では、単結晶半導体層14が1チップ相当領域毎に分離されており、それらの間は凹状態（絶縁膜13が突出した状態）とされているが、必要に応じて、例えばCVD法を用いてその凹状部分を絶縁膜（酸化膜）等により埋め込むようにしても良い。また、単結晶薄膜層15aが剥離された側の貼合せ基板15は、厚みを減少させながら次の半導体基板11の製造に繰り返し使用される。

【0029】このように本実施例によれば、貼合せ基板15に溝部16を設けた上でベース基板12と貼合せることによって、中空部18を形成するようにし、剥離工程の熱処理時にその中空部18内の空気の熱膨脹を、剥離を助長する力として利用するようにした。従って、イオン注入層17におけるイオン注入量が十分でなくとも、イオン注入層17での剥離が容易になれるようになる。

【0030】この結果、本実施例によれば、イオン注入

を従来のものと比べて低ドーズ量で済ませながらも剥離を可能とし、イオン注入層17の形成工程に要する時間の大大幅な短縮化を図ることができるという優れた実用的効果を得ることができる。ちなみに、本実施例では、水素イオンのドーズ量を、従来の 1×10^{16} atoms/cm²程度から、 1×10^{15} atoms/cm²程度と、一桁下げることができ、イオン注入に要する時間を従来の半分以下に短縮化することができたのである。

【0031】図4は、本発明の第2の実施例（請求項3に対応）を示すものである。この実施例が上記第1の実施例と異なる点は、貼合せ基板15に対する、溝部形成工程と、イオン注入層形成工程との実行順序を前後逆にしたところにある。即ち、図4（a）に示すように、まず貼合せ基板15に対するイオン注入層形成工程が実行され、貼合せ基板15の所定深さ位置に剥離用のイオン注入層17が形成される。

【0032】次いで、図4（b）に示すように、溝部形成工程が実行されて、貼合せ基板15の表面部に、イオン注入層17よりも深く、且つ貼合せ基板15の端部にて閉塞した溝部16が形成されるのである。その後、上記第1の実施例と同様に、ベース基板12との貼合せ（図4（c））、剥離（図4（d））、表面研磨（図4（e））等の工程が実行され、半導体基板11が得られるのである。

【0033】このような実施例によれば、上記第1の実施例と同様に、貼合せ基板15に溝部16を設けた上でベース基板12と貼合せることによって、密閉された中空部18が形成されるので、中空部18内の空気の熱膨張を、剥離を助長する力として利用することができ、その結果、イオン注入を低ドーズ量で済ませながらも剥離を可能とし、イオン注入層17の形成工程に要する時

間の大幅な短縮化を図ることができる。また、本実施例では、剥離された貼合せ基板15には、溝部16の底部の下方にイオン注入層が残っていないので（図4（d）参照）、剥離された貼合せ基板15を表面研磨後に再使用するにあたって、表面部から取除くべき層の厚みを小さく済ませることができるといった利点も得ることができる。

【0034】その他、本発明は上記した各実施例に限定されるものではなく、例えばベース基板の材質としてはセラミック基板や石英基板などであっても良い。また、イオン注入に用いるガスとしては、水素ガス以外にも、ヘリウム、ネオン等の希ガスや、フッ素ガス、塩素ガスなど種々のものが採用でき、この場合、用いたイオンの種類等によって適切なドーズ量、剥離温度等が異なってくる。更には、ドーズ量の数値や各部の厚み寸法等も一例に過ぎない等、要旨を逸脱しない範囲内で適宜変更して実施し得るものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すもので、製造工程における様子を順に示す模式的な縦断面図

【図2】貼合せ基板に形成された溝部の様子を模式的に示す平面図

【図3】半導体基板の製造工程を概略的に示す図

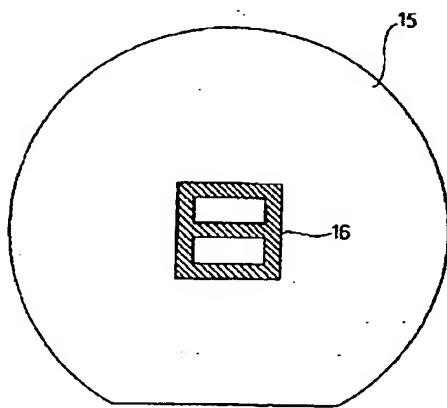
【図4】本発明の第2の実施例を示す図1相当図

【図5】従来例を示す図1相当図

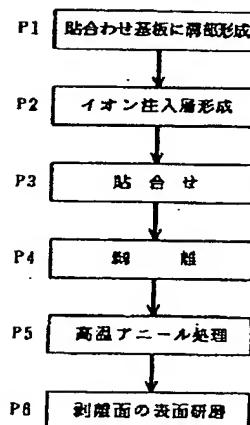
【符号の説明】

図面中、11は半導体基板、12はベース基板、13は絶縁膜、14は単結晶半導体層、15は貼合せ基板、15aは単結晶薄膜層、16は溝部、17はイオン注入層、18は中空部を示す。

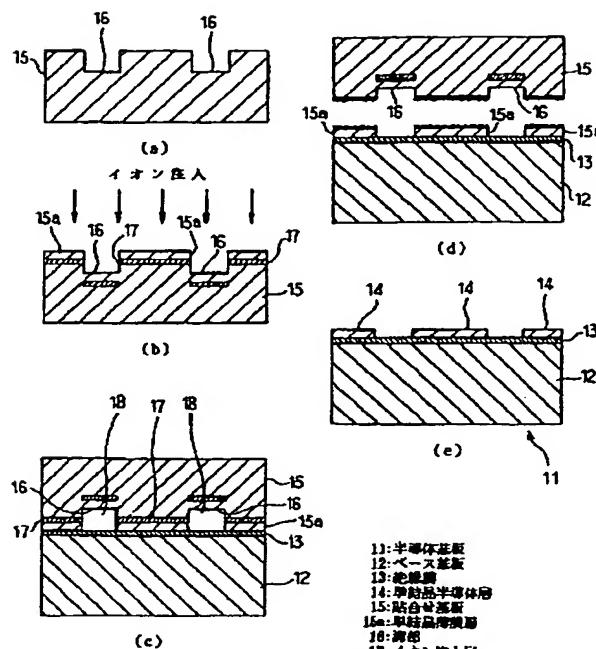
【図2】



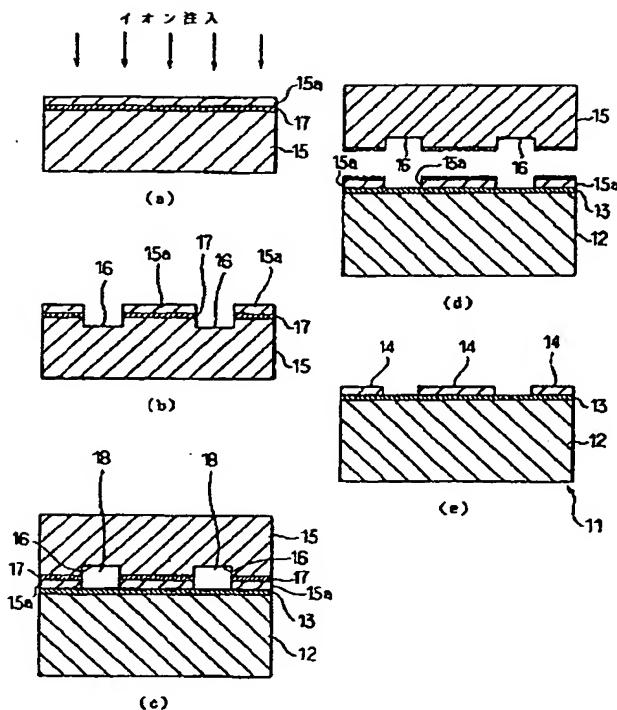
【図3】



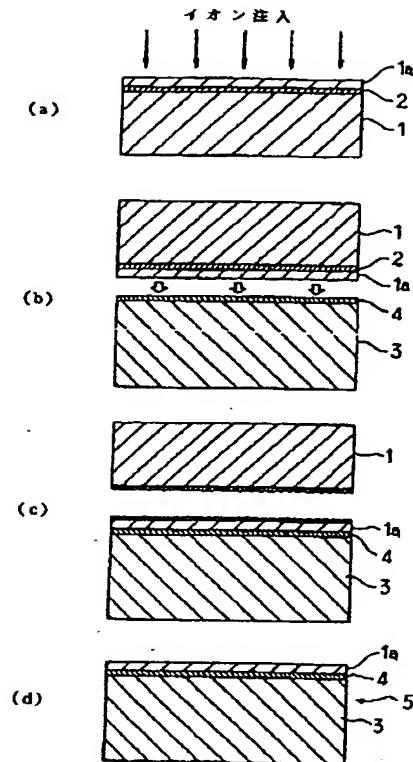
【図1】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.